

PROVA SCRITTA DI ELEMENTI DI ELETTRONICA DIGITALE
12 SETTEMBRE 2012

NOME:
COGNOME:
Numero di Matricola:

1	Le seguenti uguaglianze sono vere o false?	
	$A'B + B = A + B$	☐ vero ☐ falso
	$A'BCD' + A'BCD + AB'CD' + AB'CD = A'BC + AB'C$	☐ vero ☐ falso
	$A(B + B + CB + CB)(DB + ACD) = ABC$	☐ vero ☐ falso
	$AD + B'C + A'D + BD + AB'D' = AB'D' + C + D$	☐ vero ☐ falso
2	$F = A'BCD + ABCD + AB'CD + A'BC'D$ semplificare e realizzare con sole porte NOR	
3	Si implementi la funzione combinatoria $F(A,B,C) = A'BC + A'B'C' + ABC' + ABC$ di 3 variabili A, B, C, usando solo multiplexer 4 :1 (4 ingressi, 2 ingressi di selezione, 1 uscita)	
4	Si progetti una rete sequenziale sincrona avente un ingresso X e una uscita Y. L'uscita Y deve assumere il valore 1 per un periodo di clock tutte le volte che in ingresso si presentano le sequenze 01 e 10, anche in modo consecutivo (se si presenta 0 poi 1 e quindi 0, Y deve riconoscere sia la sequenza 01 che la successiva 10). Si disegni dapprima il diagramma degli stati, <u>secondo Moore</u> , di una macchina a stati finiti adatta alla soluzione del problema, e si progetti successivamente la rete utilizzando <u>flip-flop di tipo D</u> .	
5	Si disegni il circuito descritto dal seguente listato VHDL: <pre> ... process (CLK, reset) begin if reset='1' then A<='0';B<='0'; elsif (clk'event and clk='1') then A<=X; B<=Y; else null; end if; end process; GOAL <= ((X xnor Y) and not(reset)); ... </pre> Dato l'andamento dei segnali X e Y visibili in figura, si disegni l'andamento dei segnali A, B, e GOAL.	
Signals Waves		