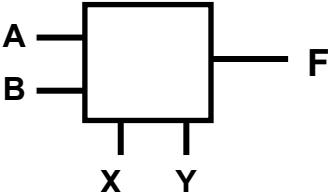
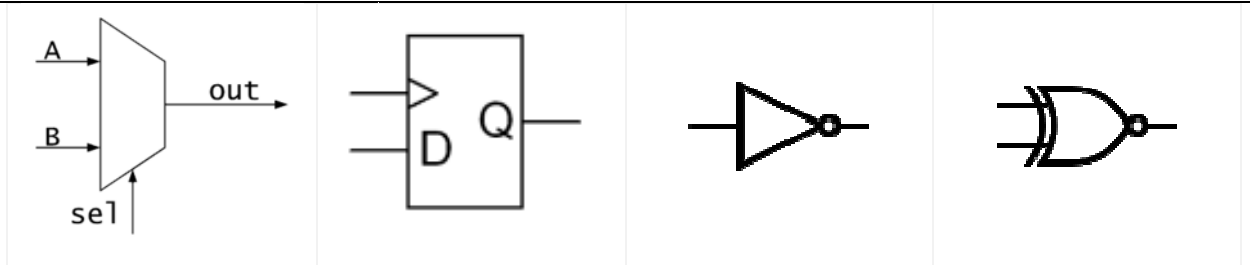


PROVA SCRITTA DI ELEMENTI DI ELETTRONICA DIGITALE
18 GENNAIO 2012

NOME:
COGNOME:
Numero di Matricola:

1	Le seguenti uguaglianze sono vere o false?		
	$ab\bar{c} + ab + ac + c = ab + c$	☐ vero	☐ falso
	$a + ab + b + bc = b$	☐ vero	☐ falso
	$\bar{a}\bar{b}c + a\bar{b} + \bar{a}\bar{b} + ab = a + b$	☐ vero	☐ falso
	$\bar{a}\bar{b}\bar{c} + b\bar{c} + a(b + \bar{b}c) = a + \bar{c}$	☐ vero	☐ falso
2	Determinare se la funzione booleana riportata di seguito può presentare allee e, in caso affermativo, trasformarla per eliminarle: $f(a,b,c,d) = \bar{a} \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b \cdot d + a \cdot b \cdot \bar{d} + a \cdot \bar{c}$		
3	Progettare una rete combinatoria capace di eseguire le operazioni logiche di AND, OR, NOT e XOR sue due numeri da 1 bit. In particolare: - Individuare la tabella della verità - scrivere la forma canonica SP per la rete - disegnare la mappa di Karnaugh corrispondente alla tabella di verità - individuare gli implicant primari e gli implicant primari essenziali - determinare la copertura ottima - disegnare la rete usando un solo tipo di porte (NAND o NOR) (facoltativo) si disegni una soluzione circuitale basata su l'utilizzo di MUX  $F = A \cdot B \quad \text{se } x=0 \ y=0$$F = A + B \quad \text{se } x=0 \ y=1$$F = \bar{A} \quad \text{se } x=1 \ y=0$$F = A \text{ xor } B \quad \text{se } x=1 \ y=1$		
4	Si progetti una rete sequenziale sincrona che, ricevendo in ingresso un segnale X produca una variabile di uscita Y. Se Y=0 e X commuta da 0 a 1, Y deve assumere il valore 1 per due periodi di clock e quindi tornare a 0, indipendentemente dalle transizioni di X che eventualmente si verificano nei due periodi di clock. Si disegni dapprima il diagramma degli stati di una macchina a stati finiti adatta alla soluzione del problema, e si progetti successivamente la rete utilizzando flip-flop di tipo T.		

5



Si analizzi la seguente architettura descritta in VHDL e se ne realizzi una versione circuitale utilizzando tutti, ed unicamente, i dispositivi logici disegnati (MUX, FFD, NOT, EXNOR).

...

```
architecture RTL of esercizio is
begin
  signal v,w,x,y,z: std_logic;
  z <= (x and y) or (x nor y);
  process (x,y,z)
    if z='0' then v<=x;
    else v<=y;
    end if;
  end process;
  process(w)
  begin
    if (w'event and w='0') then y<=x;
    else null;
    end if;
  end process;
end RTL;
```

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo