

PROVA SCRITTA DI ELEMENTI DI ELETTRONICA DIGITALE
26 SETTEMBRE 2012

NOME:
COGNOME:
Numero di Matricola:

1	Le seguenti uguaglianze sono vere o false?	
	$ab\bar{c} + ab + ac + c = ab + c$	☐ vero ☐ falso
	$a + ab + b + bc = b$	☐ vero ☐ falso
	$\bar{a}\bar{b}c + a\bar{b} + \bar{a}\bar{b} + ab = a + b$	☐ vero ☐ falso
	$\bar{a}\bar{b}\bar{c} + b\bar{c} + a(b + \bar{b}c) = a + \bar{c}$	☐ vero ☐ falso
2	Determinare se la funzione booleana riportata di seguito può presentare allee e, in caso affermativo, trasformarla per eliminarle: $f(a,b,c,d) = (a + b) \cdot (\bar{a} + \bar{c}) + a \cdot c \cdot d$	
3	Realizzare una rete combinatoria in grado di rilevare se due numeri ad un bit (A e B) sono uguali o se uno è maggiore dell'altro.	
4	Si progetti una rete sequenziale sincrona che, ricevendo in ingresso un segnale X produca una variabile di uscita Y. Se Y=1 e X commuta da 0 a 1, Y deve assumere il valore 0 per due periodi di clock e quindi tornare a 1, indipendentemente dalle transizioni di X che eventualmente si verificano nei due periodi di clock. Si disegni dapprima il diagramma degli stati di una macchina a stati finiti adatta alla soluzione del problema, e si progetti successivamente la rete utilizzando flip-flop di tipo D.	
5	Si disegni il circuito TOP LEVEL descritto dal seguente listato VHDL: ... signal DATO : std_logic_vector (3 downto 0); signal C : std_logic_vector (2 downto 0); signal X,Y: std_logic; begin ist0: REGISTRO port map (CLK=>CLK, reset=>reset, D=>DATAIN, Q=>DATO); ist1: RETELOGICA port map (A=>C, Z=>Y); C <= DATO(3 downto 1); X <= DATO(0); GOAL <= X xnor Y; end architecture RTL; ...	