

Esercizio 1

Semplificare la seguente espressione Booleana:

$$a \cdot (b + c) + \bar{b} \cdot (a + c)$$

$$[a + \bar{b} \cdot c]$$

Applicando le proprietà dell'algebra Booleana:

$$\begin{aligned} a \cdot b + a \cdot c + a \cdot \bar{b} + \bar{b} \cdot c &= a \cdot (b + \bar{b}) + a \cdot c + \bar{b} \cdot c \\ &= a \cdot 1 + a \cdot c + \bar{b} \cdot c \\ &= a \cdot (1 + c) + \bar{b} \cdot c \\ &= a \cdot 1 + \bar{b} \cdot c \\ &= a + \bar{b} \cdot c \end{aligned}$$

Esercizio 2

Dimostrare col metodo esaustivo la seguente uguaglianza Booleana:

$$\overline{a \oplus b} = a \cdot b + \bar{a} \cdot \bar{b}$$

Occorre effettuare separatamente il calcolo del valore Booleano della parte sinistra e destra dell'uguaglianza, per tutti i possibili valori delle variabili:

a	b	$\overline{a \oplus b}$	$a \cdot b + \bar{a} \cdot \bar{b}$
0	0	$0' = 1$	$0 + 1 = 1$
0	1	$1' = 0$	$0 + 0 = 0$
1	0	$1' = 0$	$0 + 0 = 0$
1	1	$0' = 1$	$1 + 0 = 1$

Essendo i valori (in grassetto) dei due termini uguali in tutti i casi, l'uguaglianza è dimostrata.

Esercizio 3

Semplificare la seguente espressione Booleana:

$$a \cdot (b + c) + \overline{a + \bar{c}}$$

$$[a \cdot b + c]$$

Applicando le proprietà dell'algebra Booleana e ricorrendo al teorema di De Morgan:

$$\begin{aligned} a \cdot (b + c) + \overline{a + \bar{c}} &= a \cdot b + a \cdot c + \bar{a} \cdot \bar{\bar{c}} \\ &= a \cdot b + a \cdot c + \bar{a} \cdot c \\ &= a \cdot b + c \cdot (a + \bar{a}) \\ &= a \cdot b + c \cdot 1 \\ &= a \cdot b + c \end{aligned}$$

Esercizio 4

Si dimostri se la seguente espressione Booleana è un'eguaglianza o meno:

$$\overline{a \cdot b + b \cdot c + a \cdot c} = \bar{a} \cdot \bar{b} + \bar{b} \cdot \bar{c} + \bar{a} \cdot \bar{c}$$

[è un'eguaglianza]

Applicando le proprietà dell'algebra Booleana e lavorando esclusivamente sulla parte sinistra dell'espressione (perché la parte destra appare già completamente sviluppata):

$$\begin{aligned} \overline{a \cdot b + b \cdot c + c \cdot a} &= \dots \\ \overline{a \cdot b \cdot \bar{b} \cdot c \cdot \bar{a} \cdot c} &= \dots \\ (\bar{a} + \bar{b}) \cdot (\bar{b} + \bar{c}) \cdot (\bar{a} + \bar{c}) &= \dots \\ (\bar{a} \cdot \bar{b} + \bar{b} \cdot \bar{b} + \bar{a} \cdot \bar{c} + \bar{b} \cdot \bar{c}) \cdot (\bar{a} + \bar{c}) &= \dots \\ (\bar{a} \cdot \bar{b} + \bar{b} + \bar{a} \cdot \bar{c} + \bar{b} \cdot \bar{c}) \cdot (\bar{a} + \bar{c}) &= \dots \\ (\bar{b} + \bar{a} \cdot \bar{c} + \bar{b} \cdot \bar{c}) \cdot (\bar{a} + \bar{c}) &= \dots \\ (\bar{b} + \bar{a} \cdot \bar{c}) \cdot (\bar{a} + \bar{c}) &= \dots \\ \bar{b} \cdot \bar{a} + \bar{b} \cdot \bar{c} + \bar{a} \cdot \bar{c} \cdot \bar{a} + \bar{a} \cdot \bar{c} \cdot \bar{c} &= \dots \\ \bar{b} \cdot \bar{a} + \bar{b} \cdot \bar{c} + \bar{a} \cdot \bar{c} + \bar{a} \cdot \bar{c} &= \dots \\ \bar{a} \cdot \bar{b} + \bar{b} \cdot \bar{c} + \bar{a} \cdot \bar{c} &= \dots \end{aligned}$$

Essendo la parte sinistra dell'espressione uguale a quella destra si tratta di un'eguaglianza.

Esercizio 5

Si semplifichi la seguente funzione Booleana:

$$y = a \cdot b + \overline{a \cdot c} + a \cdot \bar{b} \cdot c \cdot (a \cdot b + c)$$

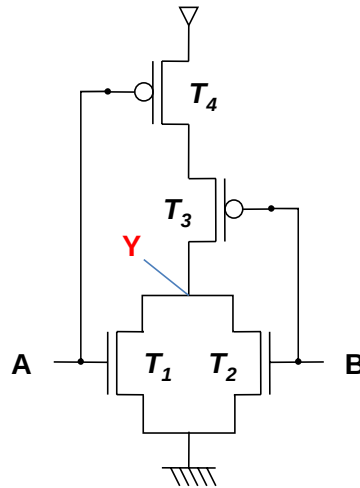
[y = 1]

Applicando le proprietà ed i teoremi dell'algebra Booleana si possono effettuare le seguenti trasformazioni:

$$\begin{aligned} y &= a \cdot b + \overline{a \cdot c} + a \cdot \bar{b} \cdot c \cdot a \cdot b + a \cdot \bar{b} \cdot c \cdot c \\ &= a \cdot b + \overline{a \cdot c} + 0 + a \cdot \bar{b} \cdot c \\ &= a \cdot (b + \bar{b} \cdot c) + \overline{a \cdot c} \\ &= a \cdot (b + c) + \overline{a \cdot c} \\ &= a \cdot b + a \cdot c + \overline{a \cdot c} \\ &= a \cdot b + 1 \\ &= 1 \end{aligned}$$

Esercizio 6

Analizzare il seguente circuito a transistori, riportando il valore dell'uscita Y per ogni combinazione possibile degli ingressi A e B.



$$[AB : Y = \{LL : H, LH : L, HL : L, HH : L\}]$$

Ricordando che i transistori nMOS conducono quando sul gate è applicata una tensione alta (H) mentre quelli pMOS conducono quando sul gate è applicata una tensione bassa (L), si ottiene la seguente tabella:

A	B	T1	T2	T3	T4	Y
L	L	off	off	on	on	H
L	H	off	on	off	on	L
H	L	on	off	on	off	L
H	H	on	on	off	off	L

Nota: interpretando la tensione bassa come 0 e la tensione alta come 1, questo circuito a transistori realizza la funzione logica NOR.

Esercizio 7

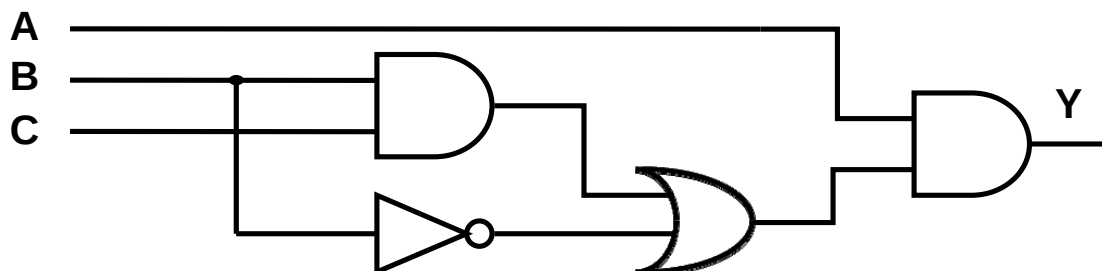
Disegnare un circuito logico che implementi la seguente funzione Booleana

$$y = a \cdot (\bar{b} + b \cdot c)$$

Calcolare quindi i valori sull'uscita y generati dai valori 111 e 110 applicati agli ingressi abc.

$$[ab : y = \{111 : 1, 110 : 0\}]$$

Si può disegnare un possibile circuito partendo dall'uscita y realizzata da una porta AND aventi come ingressi a e la funzione logica in parentesi. Quest'ultima si realizza con una porta OR aventi come ingressi $\bar{b}$ ed una porta AND con ingressi b e c.



Per il calcolo dei valori di uscita corrispondenti agli ingressi dati si può lavorare sul circuito logico oppure direttamente sulla funzione Booleana:

$$y(a=1, b=1, c=1) = 1 \cdot (\bar{1} + 1 \cdot 1) = 1 \cdot (0 + 1) = 1 \cdot 1 = 1$$

$$y(a=1, b=1, c=0) = 1 \cdot (\bar{1} + 1 \cdot 0) = 1 \cdot (0 + 0) = 1 \cdot 0 = 0$$

Esercizio 8

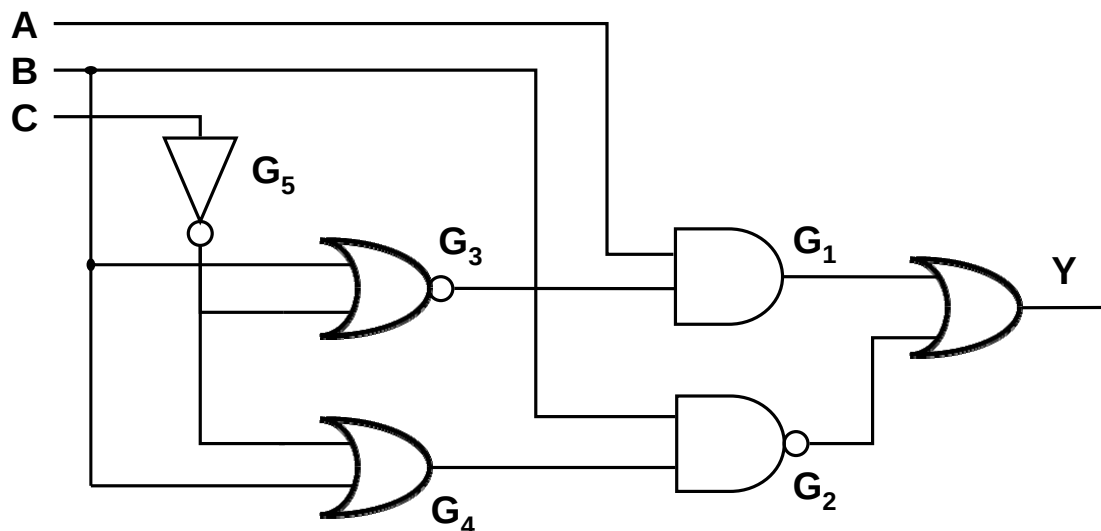
Si disegni il circuito logico corrispondente alla seguente funzione Booleana (senza semplificarla) e si determini il tempo di propagazione nell'ipotesi che ciascuna porta logica abbia un ritardo di 2 ns.

$$y = a \cdot (\overline{b + \bar{c}}) + \overline{(b + \bar{c})} \cdot b$$

Si può disegnare un possibile circuito partendo dall'uscita y realizzata da una porta OR avente come ingressi G_1 e G_2 :

$$G_1 = a \cdot (\overline{b + \bar{c}}) \quad G_2 = \overline{(b + \bar{c})} \cdot b$$

G_1 è realizzabile con un AND avente come ingressi a ed una porta NOR con ingressi b e $\bar{c}$, mentre G_2 è realizzabile con una porta NAND avente come ingressi b ed una porta OR con ingressi b e $\bar{c}$.



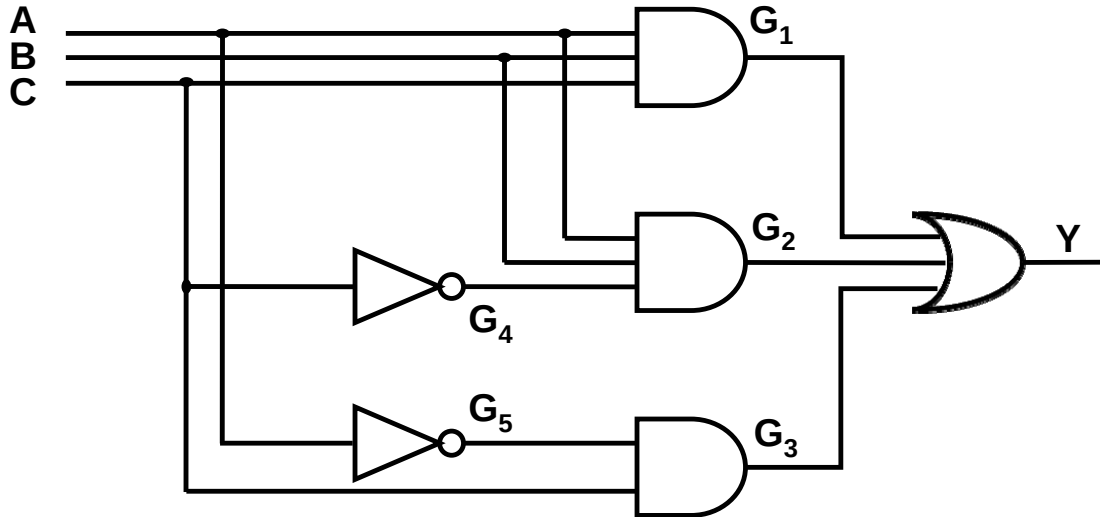
Il tempo di propagazione (anche detto ritardo globale del circuito) si calcola sommando il ritardo delle singole porte logiche su ciascun percorso tra gli ingressi e le uscite e scegliendo quindi il valore più elevato. In questo caso, essendo tutti i ritardi uguali, si possono considerare direttamente solo i due percorsi di lunghezza massima:

$$Y \rightarrow G_1 \rightarrow G_3 \rightarrow G_5 \quad Y \rightarrow G_2 \rightarrow G_4 \rightarrow G_5$$

Sommando i ritardi delle porte logiche presenti sul percorso si ottiene un ritardo globale pari a $2 + 2 + 2 + 2 = 8$ ns.

Esercizio 9

A partire del circuito logico rappresentato in figura, si calcolino la funzione logica Y, la tabella di verità ed ritardo globale del circuito nell'ipotesi che una porta logica avente N ingressi abbia un ritardo pari a 5 N ns.



$$[y = a \cdot b + \bar{a} \cdot c ; \text{ritardo} = 14 \text{ ns}]$$

Per calcolare la funzione logica globale del circuito si parte dall'uscita e si procede verso gli ingressi, sostituendo ad ogni ingresso di una porta logica la funzione realizzata dalla porta logica che lo produce:

$$\begin{aligned} y &= G_1 + G_2 + G_3 \\ &= (a \cdot b \cdot c) + (a \cdot b \cdot G_4) + (G_5 \cdot c) \\ &= a \cdot b \cdot c + a \cdot b \cdot \bar{c} + \bar{a} \cdot c \end{aligned}$$

Si può notare che questa funzione è semplificabile:

$$\begin{aligned} y &= a \cdot b \cdot c + a \cdot b \cdot \bar{c} + \bar{a} \cdot c \\ &= a \cdot b \cdot (c + \bar{c}) + \bar{a} \cdot c \\ &= a \cdot b \cdot 1 + \bar{a} \cdot c \\ &= a \cdot b + \bar{a} \cdot c \end{aligned}$$

Sarebbe quindi realizzabile con un circuito più semplice ma esistono svariati motivi per cui non sempre si implementa una funzione logica nella sua forma minima.

La tabella di verità si calcola facilmente dalla funzione logica:

a	b	c	$a \cdot b$	$\bar{a} \cdot c$	y
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	0	0	0
0	1	1	0	1	1
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	1	0	1
1	1	1	1	0	1

Essendo il circuito particolarmente semplice, la tabella di verità si poteva ottenere anche lavorando direttamente sul circuito. Basta infatti osservare che l'uscita – essendo una porta OR – assume il valore 1 quando almeno uno degli ingressi ha valore 1. Essendo poi i suoi ingressi delle porte AND, queste forniranno un valore 1 solo quando tutti i rispettivi ingressi abbiano valore 1. In conclusione l'uscita Y varrà 1 solo nei seguenti casi

- $(G_1) \quad a = 1, b = 1, c = 1$
- $(G_2) \quad a = 1, b = 1, c = 0$
- $(G_3) \quad a = 0, c = 1$

Da questo si deduce la seguente tabella di verità (che ovviamente coincide con quella calcolata analiticamente mediante la funzione logica):

a	b	c	y	motivo
0	0	0	0	
0	0	1	1	a causa di G_3
0	1	0	0	
0	1	1	1	a causa di G_3
1	0	0	0	
1	0	1	0	
1	1	0	1	a causa di G_2
1	1	1	1	a causa di G_1

Il tempo di propagazione (anche detto ritardo globale del circuito) si calcola sommando il ritardo delle singole porte logiche su ciascun percorso tra gli ingressi e le uscite e scegliendo quindi il valore più elevato. Calcoliamo quindi i ritardi dei singoli percorsi:

$$\begin{aligned}
 (Y \rightarrow G_1, Y \rightarrow G_2) &: 6 + 6 = 12 \text{ ns} \\
 (Y \rightarrow G_3) &: 6 + 4 = 10 \text{ ns} \\
 (Y \rightarrow G_2 \rightarrow G_4) &: 6 + 6 + 2 = 14 \text{ ns} \\
 (Y \rightarrow G_3 \rightarrow G_5) &: 6 + 4 + 2 = 12 \text{ ns}
 \end{aligned}$$

Il ritardo globale del circuito è quindi:

$$\text{ritardo} = \max(12, 12, 10, 14, 12) = 14 \text{ ns}$$